

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163435

(43)Date of publication of application : 19.06.1998

(51)Int.Cl. H01L 27/10
G11C 11/411

(21)Application number : 08-319510

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.11.1996

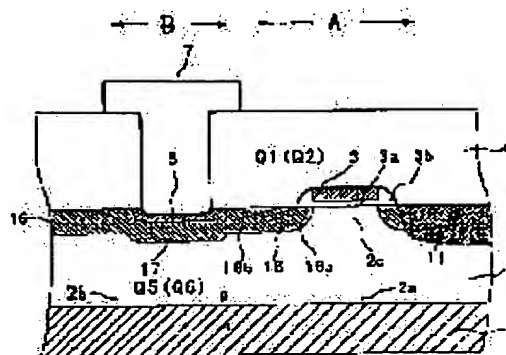
(72)Inventor : MAKI YUKIO
HONDA HIROMI

(54) SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To form a bipolar transistor in a semiconductor memory while preventing increase of a memory cell area.

SOLUTION: A region commonly formed to communicate with a source/drain region 16a of an MOS transistor is used as a link base region 16b, an emitter region is formed by implanting impurities through an opening of a bit line contact to thereby form a bipolar transistor. Further, intrinsic base and emitter regions 17 and 5 are formed by implanting impurities through the bit line contact opening to thereby form the bipolar transistor. The intrinsic base region 17 is formed deeper than the source/drain region 16a. In the impurity implantation, different impurities are used for the intrinsic base and link base regions 17 and 16b.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163435

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L 27/10	3 7 1	H 0 1 L 27/10	3 7 1
G 1 1 C 11/411		G 1 1 C 11/40	3 0 5

審査請求 未請求 請求項の数21 O L (全 13 頁)

(21) 出願番号 特願平8-319510

(22) 出願日 平成8年(1996)11月29日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 牧 幸生

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 本田 裕己

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

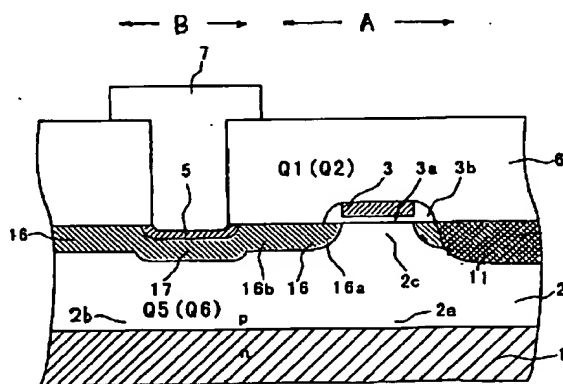
(74) 代理人 弁理士 葛野 信一

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 半導体メモリ装置に、メモリセル面積を増加させることなくバイポーラトランジスタを形成する。

【解決手段】 MOSトランジスタのソース/ドレイン領域と連通して共通に形成された領域をリンクベース領域とし、ビット線コンタクト部開口からエミッタ領域を不純物注入により形成してバイポーラトランジスタを形成する。または、ビット線コンタクト部開口から真性ベース領域とエミッタ領域とを不純物注入により形成してバイポーラトランジスタを形成する。この真性ベース領域は、ソース/ドレイン領域より深く形成する。さらに、真性ベース領域とリンクベース領域の注入不純物を変える。



【特許請求の範囲】

【請求項1】 半導体メモリ部において半導体領域の主面にチャンネル領域が形成され、このチャンネル領域を挟んで対向するソース／ドレイン領域を有するMOSトランジスタと、前記ソース／ドレイン領域に対するコンタクト用開口部からエミッタが形成され、前記ソース／ドレイン領域と共通の領域をベース領域とし、前記半導体領域をコレクタ領域とするバイポーラトランジスタとを備えたことを特徴とする半導体記憶装置。

【請求項2】 前記バイポーラトランジスタの前記前記エミッタと前記ベースとの間に前記エミッタより深く形成された真性ベース領域を備えたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記ソース／ドレイン領域が浅く形成され、前記真性ベース領域が前記ソース／ドレイン領域より深く形成されたことを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】 前記MOSトランジスタがSRAMメモリセルのアクセス用トランジスタとして形成され、前記バイポーラトランジスタが前記MOSトランジスタのビット線コンタクト用の開口部に形成されたことを特徴とする請求項1ないし3のいずれか1項に記載の半導体記憶装置。

【請求項5】 前記半導体領域がp型であり、前記ソース／ドレイン領域の一方をn型とし他方をn+型としたことを特徴とする請求項1ないし4のいずれか1項に記載の半導体記憶装置。

【請求項6】 前記半導体領域がp型であり、前記ソース／ドレイン領域の双方をn型としたことを特徴とする請求項1ないし4のいずれか1項に記載の半導体記憶装置。

【請求項7】 前記半導体領域がp型であり、前記ソース／ドレイン領域および前記ベース領域が燐を主要不純物とするn型であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項8】 前記ソース／ドレイン領域および前記リンクベース領域に共通の主要不純物と前記真性ベース領域の主要不純物とが異なることを特徴とする請求項2ないし6のいずれか1項に記載の半導体記憶装置。

【請求項9】 前記ソース／ドレイン領域および前記ベース領域に共通の主要不純物が砒素であり、前記真性ベース領域の主要不純物が燐であることを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】 前記バイポーラトランジスタの前記エミッタ領域が、前記MOSトランジスタとは逆導電型である他のMOSトランジスタのソース／ドレイン領域のコンタクト層と同時に形成されたことを特徴とする請求項1ないし9のいずれか1項に記載の半導体記憶装置。

【請求項11】 前記バイポーラトランジスタの前記エミッタ領域の不純物濃度と、前記他のMOSトランジスタ

タの前記ソース／ドレイン領域の不純物濃度との和が、前記他のMOSトランジスタの前記ソース／ドレイン領域の前記コンタクト層の不純物濃度と実質的に等しく形成されたことを特徴とする請求項10に記載の半導体記憶装置。

【請求項12】 半導体メモリ部の半導体領域の主面にチャンネル領域とこのチャンネル領域に対向するソース／ドレイン領域とを形成してMOSトランジスタを形成し、前記ソース／ドレイン領域に対するコンタクト用開口部からエミッタ領域を形成し、前記ソース／ドレイン領域と共通の領域をベース領域とし、前記半導体領域をコレクタ領域としてバイポーラトランジスタを形成することを特徴とする半導体記憶装置の製造方法。

【請求項13】 前記ソース／ドレイン領域に対するコンタクト用開口部から真性ベース領域を形成した後、この真性ベース領域より浅く前記エミッタ領域を形成することを特徴とする請求項12に記載の半導体記憶装置の製造方法。

【請求項14】 前記ソース／ドレイン領域を浅く形成し、前記真性ベース領域を前記ソース／ドレイン領域より深く形成することを特徴とする請求項13に記載の半導体記憶装置の製造方法。

【請求項15】 前記MOSトランジスタをSRAMメモリセルのアクセス用トランジスタとして形成し、前記バイポーラトランジスタを前記MOSトランジスタのビット線コンタクト用の開口部に形成することを特徴とする請求項12ないし14のいずれか1項に記載の半導体記憶装置の製造方法。

【請求項16】 前記半導体領域をp型とし、前記ソース／ドレイン領域の一方をn型とし他方をn+型としたことを特徴とする請求項12ないし15のいずれか1項に記載の半導体記憶装置。

【請求項17】 前記半導体領域をp型とし、前記ソース／ドレイン領域の双方をn型としたことを特徴とする請求項12ないし15のいずれか1項に記載の半導体記憶装置。

【請求項18】 前記半導体領域をp型とし、前記ソース／ドレイン領域および前記ベース領域にn型の主要不純物として燐を注入することを特徴とする請求項12に記載の半導体記憶装置の製造方法。

【請求項19】 前記真性ベース領域に前記ソース／ドレイン領域および前記ベース領域に共通の主要不純物とは異なる主要不純物を注入することを特徴とする請求項13ないし17のいずれか1項に記載の半導体記憶装置の製造方法。

【請求項20】 前記ソース／ドレイン領域および前記ベース領域に共通の主要不純物として砒素を注入し、前記真性ベース領域の主要不純物として燐を注入することを特徴とする請求項19に記載の半導体記憶装置の製造方法。

【請求項21】 前記バイポーラトランジスタの前記エミッタを、前記MOSトランジスタとは逆導電型である他のMOSトランジスタのソース／ドレイン領域のコンタクト層と同時に形成することを特徴とする請求項12ないし20のいずれか1項に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、メモリ部のMOSトランジスタの領域にバイポーラトランジスタを含む半導体記憶装置に関するものである。

【0002】

【従来の技術】図25に、従来の半導体記憶装置としてのSRAMメモリセルの等価回路を示す。従来のSRAMメモリセルは、負荷素子R1、R2、アクセストランジスタQ1、Q2、ドライバトランジスタQ3、Q4の計6素子から構成されている。また、BLはビット線、WLはワード線、Vccは電源線を示す。しかし、従来のメモリセルでは、電源電圧の低電圧化によるカラム電流の減少に対応できず、図26に示すように、アクセストランジスタQ1、Q2にバイポーラトランジスタQ5、Q6を接続し、カラム電流を増幅するメモリセルが提案されている。

【0003】

【発明が解決しようとする課題】このような図26に示すメモリセルの場合、素子数が従来の6素子から8素子となるため、メモリセル面積の増加が懸念され、メモリセル面積を増加させることなくバイポーラトランジスタQ5、Q6をメモリセルに形成する技術が必要である。この発明は、このような問題を解決するためになされたもので、MOSトランジスタの領域にその面積を増加させることなく、バイポーラトランジスタを含むようにした半導体記憶装置およびその製造方法を提供しようとするものである。

【0004】

【課題を解決するための手段】この発明による半導体記憶装置は、半導体メモリ部において半導体領域の主面にチャネル領域が形成され、このチャネル領域を挟んで対向するソース／ドレイン領域を有するMOSトランジスタと、前記ソース／ドレイン領域に対するコンタクト用開口部からエミッタが形成され、前記ソース／ドレイン領域と共通の領域をベース領域とし、前記半導体領域をコレクタ領域とするバイポーラトランジスタとを備えたものである。

【0005】また、この発明による半導体記憶装置は、前記バイポーラトランジスタの前記エミッタと前記ベースとの間に前記エミッタより深く形成された真性ベース領域を備えたものである。ここにおいて、前記バイポーラトランジスタのベース領域は、前記真性ベース領域

と、前記ソース／ドレイン領域と共通の領域であるリンクベース領域とからなるものである。

【0006】また、この発明による半導体記憶装置は、前記ソース／ドレイン領域が浅く形成され、前記真性ベース領域が前記ソース／ドレイン領域より深く形成されたものである。また、この発明による半導体記憶装置は、前記MOSトランジスタがSRAMメモリセルのアクセス用トランジスタとして形成され、前記バイポーラトランジスタが前記MOSトランジスタのビット線コンタクト用の開口部に形成されたものである。

【0007】また、この発明による半導体記憶装置は、前記半導体領域がp型であり、前記ソース／ドレイン領域の一方をn型とし他方をn+型としたものである。また、この発明による半導体記憶装置は、前記半導体領域がp型であり、前記ソース／ドレイン領域の双方をn型としたものである。

【0008】また、この発明による半導体記憶装置は、前記半導体領域がp型であり、前記ソース／ドレイン領域および前記ベース領域が燐を主要不純物とするn型であるものである。また、この発明による半導体記憶装置は、前記ソース／ドレイン領域および前記リンクベース領域に共通の主要不純物と前記真性ベース領域の主要不純物とが異なるものである。また、この発明による半導体記憶装置は、前記ソース／ドレイン領域および前記ベース領域に共通の主要不純物が砒素であり、前記真性ベース領域の主要不純物が燐であるものである。

【0009】また、この発明による半導体記憶装置は、前記バイポーラトランジスタの前記エミッタ領域が、前記MOSトランジスタとは逆導電型である他のMOSトランジスタのソース／ドレイン領域のコンタクト層と同時に形成されたものである。また、この発明による半導体記憶装置は、前記バイポーラトランジスタの前記エミッタ領域の不純物濃度と、前記他のMOSトランジスタの前記ソース／ドレイン領域の不純物濃度との和が、前記他のMOSトランジスタの前記ソース／ドレイン領域の前記コンタクト層の不純物濃度と実質的に等しく形成されたものである。

【0010】次に、この発明による半導体記憶装置の製造方法は、半導体メモリ部の半導体領域の主面にチャネル領域とこのチャネル領域に対向するソース／ドレイン領域とを形成してMOSトランジスタを形成し、前記ソース／ドレイン領域に対するコンタクト用開口部からエミッタ領域を形成し、前記ソース／ドレイン領域と共通の領域をベース領域とし、前記半導体領域をコレクタ領域としてバイポーラトランジスタを形成するものである。

【0011】また、この発明による半導体記憶装置の製造方法は、前記ソース／ドレイン領域に対するコンタクト用開口部から真性ベース領域を形成した後、この真性ベース領域より浅く前記エミッタ領域を形成するもので

10

20

30

40

50

ある。ここにおいて、前記バイポーラトランジスタのベース領域は、前記真性ベース領域と、前記ソース／ドレイン領域と共通の領域であるリンクベース領域とから形成される。

【0012】また、この発明による半導体記憶装置の製造方法は、前記ソース／ドレイン領域を浅く形成し、前記真性ベース領域を前記ソース／ドレイン領域より深く形成するものである。また、この発明による半導体記憶装置の製造方法は、前記MOSトランジスタをSRAMメモリのアクセス用トランジスタとして形成し、前記バイポーラトランジスタを前記MOSトランジスタのビット線コンタクト用の開口部に形成するものである。

【0013】また、この発明による半導体記憶装置の製造方法は、前記半導体領域をp型とし、前記ソース／ドレイン領域の一方をn型とし他方をn型としたものである。また、この発明による半導体記憶装置の製造方法は、前記半導体領域をp型とし、前記ソース／ドレイン領域の双方をn型としたものである。

【0014】また、この発明による半導体記憶装置の製造方法は、前記半導体領域をp型とし、前記ソース／ドレイン領域および前記ベース領域にn型の主要不純物として燐を注入するものである。また、この発明による半導体記憶装置の製造方法は、前記真性ベース領域に前記ソース／ドレイン領域および前記ベース領域に共通の主要不純物とは異なる主要不純物を注入するものである。

【0015】また、この発明による半導体記憶装置の製造方法は、前記ソース／ドレイン領域および前記ベース領域に共通の主要不純物として砒素を注入し、前記真性ベース領域の主要不純物として燐を注入するものである。また、この発明による半導体記憶装置の製造方法は、前記バイポーラトランジスタの前記エミッタを、前記MOSトランジスタとは逆導電型である他のMOSトランジスタのソース／ドレイン領域のコンタクト層と同時に形成するものである。

【0016】

【発明の実施の形態】

実施の形態1. 図1は、この発明の一実施の形態による半導体記憶装置の構造を示す図である。この実施の形態は、図26に示した回路構成のSRAMメモリセルに、この発明の半導体記憶装置の構造を適用した例である。この実施の形態は、SRAMメモリセルにバイポーラトランジスタを形成する場合のメモリセル面積の増大を防ぐため、SRAMメモリセルのビット線コンタクト部にPNP型のバイポーラトランジスタを形成したものである。

【0017】図1において、まずA部はSRAMメモリセルのアクセス用トランジスタとなるNMOSトランジスタQ1（又はQ2）の形成領域であり、B部はこのNMOSトランジスタとビット線とをつなぐPNP型バイポ

ーラトランジスタQ5（又はQ6）の形成領域である。

【0018】また、図1において、1はシリコンのn型半導体基板（もしくはn型ウェル領域）、2は半導体基板1の上に形成されたp型半導体領域（ウェル領域）であり、メモリセルのウェル2aとなり、かつバイポーラトランジスタのコレクタ領域2bとなる領域である。2cは半導体領域2の主面であって、NMOSトランジスタのチャネル領域となる部分である。3はアクセストランジスタのゲート、3aはゲート酸化膜である。また、11は、不純物濃度の高いn型半導体領域であり、n+ソース領域（又はドレイン領域）である。16は、n型半導体領域であり、アクセストランジスタのドレイン領域（又はソース領域）16aとなり、かつバイポーラトランジスタのリンクベース領域16bとなる領域である。17は、真性ベース領域である。また、5は、バイポーラトランジスタのエミッタである。さらに、6は層間絶縁膜、7はビット線につながるエミッタ引出し電極である。このエミッタ引出し電極7は、アクセストランジスタのドレイン領域（又はソース領域）16aに対するビット線コンタクトの引き出し電極の位置に形成されている。なお、説明では、n型半導体基板1の上にメモリセルを形成する場合について述べるが、n領域に囲まれた中にメモリセルを形成する場合も同様である。

【0019】アクセストランジスタとなるNMOSトランジスタQ1は、ソース領域（又はドレイン領域）11およびドレイン領域（又はソース領域）16a、チャネル領域2c及びゲート3により形成される。また、バイポーラトランジスタQ5は、エミッタ5、リンクベース領域16b、真性ベース領域17及びコレクタ2bにより構成される。

【0020】このように形成した半導体SRAM記憶装置では、アクセストランジスタQ1のドレイン領域（又はソース領域）16aとバイポーラトランジスタQ5のリンクベース領域16bが、n型半導体層16として共通であるため、アクセストランジスタQ1とバイポーラトランジスタQ5が半導体基板の内面で接続される。また、ビット線コンタクト部にエミッタ5を形成してバイポーラトランジスタQ5を形成するため、従来のメモリセルに比べメモリセル面積を増加させることなく、バイポーラトランジスタを作りつけることができる。

【0021】このような構成においては、エミッタ開孔後に、バイポーラトランジスタQ5のベース領域として真性ベース領域17が形成されているので、エミッタ開孔時のエッチングばらつき等によるバイポーラトランジスタQ5の特性のばらつきが小さいという効果がある。また、このような構成において、ドレイン領域（又はソース領域）16aを含むn型半導体層16の主要不純物としては、アクセストランジスタQ1のパンチスルーマージンや分離耐圧特性を低下させない為、拡散係数の小さい砒素Asを注入するのが望ましい。また、真性ベー

ス領域17の主要不純物としては、ベース領域をしっかりと確保しバイポーラトランジスタQ5を安定化させることができる拡散係数の大きい燐Pを注入するのが望ましい。また、ドレイン領域(又はソース領域)16aに拡散係数の小さい砒素Asを注入することにより、メモリセルの縮小に伴うMOSトランジスタの微細化に対応することができる。

【0022】半導体記憶装置のメモリセルでは、集積度を上げるために、最小のトランジスタゲート長および分離幅を使用するため、バイポーラトランジスタのベースに相当するMOSトランジスタのn-領域(ドレイン領域又はソース領域)は浅い方がよく、例えば深さを0.1μm程度以下とする必要がある。一方、バイポーラトランジスタを形成する場合、このような浅いn-領域をベース領域とすることは適当でない。安定した特性のバイポーラトランジスタが得られないからである。このために、真性ベース層を形成することが適切である。従って、真性ベース層は、エミッタより深い必要があり、例えばエミッタを注入で形成する場合、エミッタ深さが0.1~0.2μm程度となるため、真性ベース層はそれ以上に深く形成する。このようなわけで、MOSトランジスタに必要な要件とバイポーラトランジスタに必要な要件の両方を満たすため、メモリセル内にはリンクベース構造のバイポーラトランジスタを形成することが特に有効である。

【0023】実施の形態2. 図2は、この発明の他の実施の形態による半導体記憶装置の構造を示す図である。この実施の形態は、図26に示した回路構成のSRAMメモリセルに、この発明の半導体記憶装置の構造を適用した他の例である。さらに、この実施の形態においても、SRAMメモリセルにバイポーラトランジスタを形成する場合のメモリセル面積の増大を防ぐため、SRAMメモリセルのビット線コンタクト部にPNP型のバイポーラトランジスタを形成する。

【0024】図2において、先ずA部はSRAMメモリセルのアクセストランジスタとなるNMOSTランジスタQ1(またはQ2)の形成領域であり、B部はこのNMOSTランジスタとビット線との間に介在するPNP型バイポーラトランジスタQ5(またはQ6)の形成領域である。

【0025】また、図2において、1はシリコンのn型半導体基板(もしくはn型ウェル領域)、2はp型半導体領域(ウェル領域)、2aはメモリセルのウェル、2bはバイポーラトランジスタのコレクタ領域、2cはNMOSTランジスタのチャンネル領域、3はアクセストランジスタのゲート、3aはゲート酸化膜、5はバイポーラトランジスタのエミッタ、6は層間絶縁膜、7はエミッタ引出し電極、11はn+ソース領域(又はドレイン領域)であり、以上の構成は図1と同様である。しかし、この実施の形態2では、次の点が異なる。すなわ

ち、図2において、4は十分な厚みを有するn型半導体領域、4aはアクセストランジスタのドレイン領域(又はソース領域)、4bはバイポーラトランジスタのベース領域であり、図1における真性ベース領域に相当するものがない。

【0026】アクセストランジスタとなるNMOSTランジスタQ1は、ソース領域(又はドレイン領域)11およびドレイン領域(又はソース領域)4a、チャンネル領域2c及びゲート3により形成される。また、バイポーラトランジスタQ5は、エミッタ5、ベース4b及びコレクタ2bにより構成される。このように形成した半導体SRAM記憶装置では、アクセストランジスタQ1のドレイン領域(又はソース領域)4aとバイポーラトランジスタQ5のベース領域4bが、n型半導体層4として共通であるため、アクセストランジスタQ1とバイポーラトランジスタQ5が半導体基板の内面で接続される。また、ビット線コンタクト部にエミッタ5を形成してバイポーラトランジスタQ5を形成するため、従来のメモリセルに比べメモリセル面積を増加させることなく、バイポーラトランジスタを作りつけることができる。

【0027】このような構成において、n型半導体領域4は、バイポーラトランジスタのベース4bと兼用する。特性の安定したバイポーラトランジスタを得るためには、十分な厚さを有するベース層を形成する必要がある。このため、n型半導体領域4の不純物としては、拡散係数が大きい燐Pの方が拡散係数が小さい砒素Asを用いる場合よりもバイポーラトランジスタQ5のベース領域4bをしっかりと確保できプロセスマージンが大きくなる。なお、仮に砒素Asを用いると、燐Pの場合と同程度の注入深さを得るためには、数百keVの注入エネルギーが必要となり、装置の処理能力を低下させることになるので、この実施の形態の場合は、燐Pのような不純物が適する。

【0028】実施の形態3. 図3は、この発明の一実施の形態による半導体記憶装置の構造を示す図である。この実施の形態は、図1に示したものに於いて、n+ソース領域(又はドレイン領域)11の形成を行わない半導体記憶装置の構造に係るものである。その他の構成部分は、図1と同様であり、図1と同一の符号は同一または相当部分を示すので、詳細な説明は省略する。

【0029】このような構成にすると、アクセストランジスタとなるNMOSTランジスタQ1(またはQ2)のソース領域およびドレイン領域は共にn-型となるため、アクセストランジスタの電流値が減少する。このため、ドライバトランジスタの電流値をアクセストランジスタの電流値で割った値として定義されるセルレシオ(電流レシオ)が大きくなり、メモリセルの動作がより安定になる効果がある。

【0030】実施の形態4. 図4は、この発明の一実施

の形態による半導体記憶装置の構造を示す図である。この実施の形態は、図2に示したものにおいて、 $n+$ ソース領域（又はドレイン領域）11の形成を行わない半導体記憶装置の構造に係るものである。その他の構成部分は、図2と同様であり、図2と同一の符号は同一または相当部分を示すので、詳細な説明は省略する。

【0031】このような構成にすると、アクセストランジスタとなるNMOSTランジスタQ1（またはQ2）のソース領域およびドレイン領域は共に n -型となるため、アクセストランジスタの電流値が減少する。このため、ドライバトランジスタの電流値をアクセストランジスタの電流値で割った値として定義されるセルレシオ（電流レシオ）が大きくなり、メモリセルの動作がより安定になる効果がある。

【0032】実施の形態5. 次に、この発明の他の実施の形態として、この発明の半導体記憶装置の他の製造方法について説明する。図5～図11は、図1に示した構造の半導体記憶装置を製造するための製造方法を示す図である。製造方法について説明すると、まず、図5に示すように、 n 型半導体基板1（もしくは n 型ウェル領域1）の上に従来と同様にして及びNMOSTランジスタの p ウェル領域2および分離酸化膜8を形成する。その後、図6に示すように、従来と同様にしてMOSTランジスタのゲート酸化膜3a及びゲート電極3を形成した後、レジストパターン9を用いNMOSTランジスタのソース領域／ドレイン領域（S/D領域）となる n -領域16且つバイポーラトランジスタのリンクベース領域となる n -領域16を形成する。この n -領域16は、メモリセルの集積度を上げるため必要な濃度で浅く形成する。その後、図7に示すように、ゲート3のサイドウォール3bを形成する。次に、レジストパターン10を用い不純物濃度の高い $n+$ ソース領域（又はドレイン領域）11を形成する。

【0033】その後、図8に示すように、レジストパターン12を用いコレクタ引き出し部に $p+$ コレクタコンタクト領域13（ウェルコンタクト）を形成する。その後、図9に示すように、層間絶縁膜6を形成した後、ビット線コンタクト穴14を形成する。

【0034】その後、図10に示すように、バイポーラトランジスタのエミッタを形成するためのビット線コンタクト穴14が開いたレジストパターン15を形成した後、先ずイオン注入により十分な厚さを有する真性ベース領域17を形成し、然る後に真性ベース領域17より浅いエミッタ5を形成する。その後、図11に示すように、エミッタ引き出し電極7を形成する。

【0035】以上のような工程により、ソース領域（又はドレイン領域）11、ドレイン領域（又はソース領域）16a、チャネル領域2c及びゲート3によりNMOSTランジスタQ1が形成される。また、エミッタ5、真性ベース領域17、リンクベース領域16b及び

コレクタ2bによりバイポーラトランジスタQ5が形成される。

【0036】このような製造方法においては、アクセストランジスタQ1のドレイン領域（又はソース領域）16aとバイポーラトランジスタQ5のリンクベース領域16bとは、 n 型半導体層16として同時に共通に形成されるため、アクセストランジスタQ1とバイポーラトランジスタQ5が半導体基板の内て接続される。またビット線コンタクト部にエミッタ5を形成してバイポーラトランジスタQ5を形成するため、従来のメモリセルに比べメモリセル面積を増加させることなく、バイポーラトランジスタQ5を作りつけることができる。

【0037】このような製造方法においては、図10に示す工程で、エミッタ5の形成前に真性ベース領域17を十分な厚みを持つように形成し、さらにベース領域16bをリンクベース構造としているため、バイポーラトランジスタQ5の特性のばらつきが小さいという効果がある。図10において、バイポーラトランジスタのエミッタ形成のためのビット線コンタクト開口時にオーバーエッチング量が変わり、シリコン基板エッチング量がばらつく場合でも、真性ベース層17の形成によりバイポーラトランジスタQ5の特性のばらつきが小さくなる。

【0038】このような製造方法において、ドレイン領域（又はソース領域）16aを含む n 型半導体層16の主要不純物としては、アクセストランジスタQ1のパンチスルーマージンや分離耐圧特性を低下させない為、拡散係数の小さい砒素Asを注入するのが望ましい。また、真性ベース領域17の主要不純物としては、ベース領域をしっかりと確保しバイポーラトランジスタQ5を安定化させることができる拡散係数の大きい燐Pを注入するのが望ましい。また、ドレイン領域（又はソース領域）16aを含む n 型半導体層16の主要不純物として拡散係数の小さい砒素Asを注入することにより、メモリセルの縮小に伴うMOSTランジスタの微細化に対応することができる。

【0039】半導体記憶装置のメモリセルでは、高集積化のために、最小のトランジスタゲート長および分離幅を使用する。このため、MOSTランジスタのドレイン領域（又はソース領域）16aとなる n -領域16は浅い方がよく、例えば深さを0.1 μm 程度以下とする。従って、バイポーラトランジスタのリンクベース16bも同様に浅くなる。しかし、バイポーラトランジスタの特性のばらつきを小さくするためには、ベース層は必要な厚みを持つことが望まれる。このために、真性ベース層を形成する。従って、真性ベース層17は、エミッタ5より深い必要があり、例えばエミッタ5を注入で形成する場合、エミッタ深さが0.1～0.2 μm 程度となるため、真性ベース層17はそれ以上に深く形成する。このように、メモリセルの高集積化と、バイポーラトランジスタの特性の安定化という両方の要件を満足させる

ために、リンクベース構造のバイポーラトランジスタを形成する。

【0040】なお、エミッタ引き出し電極7はアルミ等の化合物の金属でもポリシリコン、ポリサイドでもよい。更にエミッタ引き出しにポリシリコン、ポリサイドを用いる場合は、ポリシリコンからの拡散によりエミッタ5を形成しても良い。

【0041】また、この実施の形態では、NMOSTランジスタを用いたメモリセルとPNP型バイポーラトランジスタとを形成する場合について述べたが、PMOSTランジスタを用いたメモリセルとNPN型バイポーラトランジスタとを形成する場合においても同様である。

【0042】なお、この実施の形態の製造方法の変形として、上述の図7の工程における不純物濃度の高いn+ソース領域（又はドレイン領域）11の形成を行わない製造方法がある。この製造方法により、図3に示した構造の半導体記憶装置を製造することができる。この工程以外は同じであるから詳細な説明は省略する。

【0043】実施の形態6。次に、この発明の他の実施の形態における半導体記憶装置の製造方法について説明する。図12～図18は、図2に示した構造の半導体記憶装置を製造するための製造方法を示す図である。製造方法について説明すると、まず、図12に示すように、n型半導体基板1（もしくはn型ウェル領域1）の上に従来と同様にしてNMOSTランジスタのPウェル領域2および分離酸化膜8を形成する。

【0044】その後、図13に示すように、従来と同様にしてMOSTランジスタのゲート酸化膜3a及びゲート電極3を形成した後、レジストパターン9を用いNMOSTランジスタのソース領域／ドレイン領域（S/D領域）となるn-領域且つバイポーラトランジスタのベース領域となるn-領域4を形成する。この実施の形態においては、n-領域4はバイポーラトランジスタのベース領域として機能するように十分な厚みを持つように形成する。その後、図14に示すように、ゲート3のサイドウォール3bを形成する。次に、レジストパターン10を用い不純物濃度の高いn+ドレイン領域（又はソース領域）11を形成する。

【0045】その後、図15に示すように、レジストパターン12を用いコレクタ引き出し部にp+コレクタコンタクト領域13（ウェルコンタクト）を形成する。その後、図16に示すように、層間絶縁膜6を形成した後、ビット線コンタクト穴14を形成する。

【0046】その後、図17に示すように、バイポーラトランジスタのエミッタを形成するためのビット線コンタクト穴14が開孔したレジストパターン15を形成した後、イオン注入によりエミッタ5を形成する。エミッタ5は、n-領域4よりも浅く形成して、残りのn-領域4bがバイポーラトランジスタのベース領域として機能するようにする。その後、図18に示すように、エミ

ッタ引き出し電極7を形成する。

【0047】以上のような工程により、ソース領域（又はドレイン領域）11、ドレイン領域（又はソース領域）4a、チャネル領域2c及びゲート3によりNMOSTランジスタQ1が形成される。また、エミッタ5、ベース4b及びコレクタ2bによりバイポーラトランジスタQ5が形成される。

【0048】このような製造方法においては、アクセストランジスタQ1のドレイン領域（又はソース領域）4aとバイポーラトランジスタQ5のベース領域4bとは、n型半導体層4として同時に共通に形成されるため、アクセストランジスタQ1とバイポーラトランジスタQ5が半導体基板の内て接続される。またビット線コンタクト部にエミッタ5を形成してバイポーラトランジスタQ5を形成するため、従来のメモリセルに比べメモリセル面積を増加させることなく、バイポーラトランジスタQ5を作りつけることができる。また、このような製造方法においては、NMOSTランジスタQ1のドレイン領域（又はソース領域）4aとバイポーラトランジスタQ5のベース領域4bとは、n型半導体層4として共通であるため製造工程が増加することなく製造コスト低減につながる。

【0049】なお、このような製造方法において、n型半導体領域4は、バイポーラトランジスタのベース4bと兼用する為、拡散係数が大きい燐Pの方が拡散係数が小さい砒素Asを用いる場合よりもバイポーラトランジスタQ5のベース領域4bをしっかりと確保できプロセスマージンが大きくなる。また、エミッタ引き出し電極7は、アルミ等の化合物の金属でもポリシリコン、ポリサイドでもよい。更にエミッタ引き出しにポリシリコン、ポリサイドを用いる場合は、ポリシリコンからの拡散によりエミッタ5を形成しても良い。

【0050】なおまた、この実施の形態では、NMOSTランジスタを用いたメモリセルとPNP型バイポーラトランジスタとを形成する場合について述べたが、PMOSTランジスタを用いたメモリセルとNPN型バイポーラトランジスタとを形成する場合においても同様である。

【0051】なお、この実施の形態の製造方法の変形として、上述の図14の工程における不純物濃度の高いn+ソース領域（又はドレイン領域）11の形成を行わない製造方法がある。この製造方法により、図4に示した構造の半導体記憶装置を製造することができる。この工程以外は同じであるから詳細な説明は省略する。

【0052】実施の形態7。次に、この発明の他の実施の形態による半導体記憶装置の製造方法について説明する。図19～図24は、CMOSプロセスを適用して、この実施の形態の半導体記憶装置を製造する場合の製造方法を示す図である。これは、図5～図11または図12～図18に示したメモリ部におけるNMOSTランジ

スタの製造と同時並行的に、周辺回路においてPMOSトランジスタを製造する場合の製造方法に関するものである。

【0053】まず、NMOSトランジスタの図5の製造工程と並行的に、図19に示すように、 n 型半導体基板1の上に従来と同様にしてPMOSトランジスタの n ウェル領域19および分離酸化膜8を形成する。その後、NMOSトランジスタの図6の製造工程と並行的に、ゲート酸化膜3a、ゲート電極3及びサイドウォール3bを形成する。その後、NMOSトランジスタの図7の製造工程と並行的に、図20に示すように、共通のレジストパターン10を用い、図7の n +ソース領域（又はドレイン領域）11の形成時に、図20のウェルコンタクト領域11'を形成する。

【0054】その後、NMOSトランジスタの図8の製造工程と並行的に、図21に示すように、共通のレジストパターン12を用い、図8のコレクタコンタクト領域13の形成と同時に、図21の p +ソース領域およびドレイン領域13'を形成する。その後、NMOSトランジスタの図9の製造工程と並行的に、図22に示すように、共通の層間絶縁膜6を形成した後、図9のビット線コンタクト穴14の形成と同時に、図22の p + S/D コンタクト穴14'を形成する。

【0055】その後、NMOSトランジスタの図10の製造工程と並行的に、図23に示すように、 p + S/D コンタクト穴14'が開口した共通のレジストパターン15を形成した後、イオン注入により図10においてエミッタ5を形成すると同時に、図23においてはコンタクト領域20を形成する。このレジストパターン15は、メモリセル部においてはバイポーラトランジスタ形成用のエミッタ注入を行うためのレジストパターンであり、周辺部においてはPMOSトランジスタ形成用の p + SAC 注入（コンタクトをオーミックとするための注入）を行うためのレジストパターンであり、両者は兼用して共通に用いられる。また、このとき図23に示した周辺回路のPMOSトランジスタのコンタクト領域20は、 p +ソース領域およびドレイン領域13'に、図10または図17に示したメモリ部のバイポーラトランジスタのエミッタ5への不純物注入と同量の不純物注入がおこなわれている。従って、PMOSトランジスタのコンタクト領域20の不純物濃度は、このPMOSトランジスタの p +ソース領域およびドレイン領域13'の濃度に、メモリ部におけるバイポーラトランジスタのエミッタ5の濃度を加えた関係になっている。

【0056】その後、NMOSトランジスタの図11の製造工程と並行的に、図24に示すように、図11のエミッタ引き出し電極7の形成と同時に、図24においては p + S/D 電極7'を形成する。

【0057】以上のような製造方法により、メモリセル部においてNMOSトランジスタQ1およびバイポーラ

トランジスタQ5が形成されると並行して、周辺回路部においてPMOSトランジスタが形成される。以上説明したように、この実施の形態では、メモリセル部でバイポーラトランジスタ形成のためのエミッタ5の注入を、周辺回路部でのPMOSトランジスタの SAC 注入と共通に兼用できるので、工程の増加を招かず、コスト低減になる。

【0058】なお、図11（または図18）のエミッタ引き出し電極7と同様に、図24の p + S/D 電極7'はアルミ等の化合物の金属でもポリシリコン、ポリサイドでもよい。更に p + S/D 電極7'にポリシリコン、ポリサイドを用いる場合は、ポリシリコンからの拡散によりコンタクト領域20を形成しても良い。

【0059】また、この実施の形態では、メモリセル部にNMOSトランジスタを用いたメモリセルとPNP型バイポーラトランジスタとを形成し、周辺回路部にPMOSトランジスタを同時並行的に形成する場合について述べたが、メモリセル部にPMOSトランジスタを用いたメモリセルとNPN型バイポーラトランジスタとを形成し、周辺回路部にNMOSトランジスタを同時並行的に形成する場合においても同様である。

【0060】

【発明の効果】以上説明したように、この発明によれば、半導体メモリにおいてMOSトランジスタのソース／ドレイン領域とバイポーラトランジスタのベース領域とを共通にし、かつソース／ドレイン領域に対するコンタクト用開孔からエミッタを形成してバイポーラトランジスタを形成した半導体記憶装置を得ることができる。また、これにより工程の増加を招くことなく製造コストの低減を図ることができる。

【0061】また、この発明によれば、MOSトランジスタのソース／ドレイン領域とバイポーラトランジスタのリンクベース領域とを共通に形成しかつバイポーラトランジスタが真性ベース領域を有する半導体記憶装置を得ることができる。これにより、バイポーラトランジスタの特性の安定を図ることができる。

【0062】また、この発明によれば、MOSトランジスタのソース／ドレイン領域が浅く形成され、バイポーラトランジスタの真性ベース領域がMOSトランジスタのソース／ドレイン領域より深く形成された半導体記憶装置を得ることができる。これにより、バイポーラトランジスタの特性の安定を図ることができる。

【0063】また、この発明によれば、MOSトランジスタがSRAMメモリセルのアクセス用トランジスタとして形成され、バイポーラトランジスタがMOSトランジスタのビット線コンタクト用の開口部に形成された半導体記憶装置を得ることができる。これにより、半導体メモリのメモリセル内に、面積を増加させることなくバイポーラトランジスタを形成した半導体記憶装置を得ることができる。

【0064】また、この発明によれば、MOSトランジスタのソース／ドレイン領域の一方をn-型とし他方をn+型とした半導体記憶装置を得ることができる。これによりMOSトランジスタの微細化を図ることができる。また、この発明によれば、MOSトランジスタのソース／ドレイン領域の双方をn-型とした半導体記憶装置を得ることができる。これによりMOSトランジスタの微細化を図ることができる。

【0065】また、この発明によれば、MOSトランジスタのソース／ドレイン領域およびバイポーラトランジスタのベース領域が燐を主要不純物とするn-型である半導体記憶装置を得ることができる。また、これにより工程の増加を招くことなく製造コストの低減を図ることができる。

【0066】また、この発明によれば、MOSトランジスタのソース／ドレイン領域およびバイポーラトランジスタのリンクベース領域に共通の主要不純物とバイポーラトランジスタの真性ベース領域の主要不純物とを異ならせ、特性の安定した半導体記憶装置を得ることができる。また、これによりMOSトランジスタの微細化を図ることができる。

【0067】また、この発明によれば、MOSトランジスタのソース／ドレイン領域およびバイポーラトランジスタのベース領域に共通の主要不純物が砒素であり、バイポーラトランジスタの真性ベース領域の主要不純物が燐である半導体記憶装置を得ることができる。また、これによりMOSトランジスタの微細化を図ることができる。

【0068】また、この発明によれば、CMOSプロセスを適用する場合において、一方の導電型のMOSトランジスタを含むメモリ部でバイポーラトランジスタを形成するためにエミッタ注入を行う際、周辺部で他方の導電型のMOSトランジスタを形成するための不純物注入を行ない、共通のレジスト膜を兼用して、同時に実施できるので、工程の増加を招かず、コスト低減を図ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体記憶装置の構造を示す断面図である。

【図2】 この発明の実施の形態2による半導体記憶装置の構造を示す断面図である。

【図3】 この発明の実施の形態3による半導体記憶装置の構造を示す断面図である。

【図4】 この発明の実施の形態4による半導体記憶装置の構造を示す断面図である。

【図5】 この発明の実施の形態5による半導体記憶装置の製造方法を示す断面図である。

【図6】 この発明の実施の形態5による半導体記憶装置の製造方法を示す断面図である。

【図7】 この発明の実施の形態5による半導体記憶装

置の製造方法を示す断面図である。

【図8】 この発明の実施の形態5による半導体記憶装置の製造方法を示す断面図である。

【図9】 この発明の実施の形態5による半導体記憶装置の製造方法を示す断面図である。

【図10】 この発明の実施の形態5による半導体記憶装置の製造方法を示す断面図である。

【図11】 この発明の実施の形態5による半導体記憶装置の製造方法を示す断面図である。

【図12】 この発明の実施の形態6による半導体記憶装置の製造方法を示す断面図である。

【図13】 この発明の実施の形態6による半導体記憶装置の製造方法を示す断面図である。

【図14】 この発明の実施の形態6による半導体記憶装置の製造方法を示す断面図である。

【図15】 この発明の実施の形態6による半導体記憶装置の製造方法を示す断面図である。

【図16】 この発明の実施の形態6による半導体記憶装置の製造方法を示す断面図である。

【図17】 この発明の実施の形態6による半導体記憶装置の製造方法を示す断面図である。

【図18】 この発明の実施の形態6による半導体記憶装置の製造方法を示す断面図である。

【図19】 この発明の実施の形態7による半導体記憶装置の製造方法を示す断面図である。

【図20】 この発明の実施の形態7による半導体記憶装置の製造方法を示す断面図である。

【図21】 この発明の実施の形態7による半導体記憶装置の製造方法を示す断面図である。

【図22】 この発明の実施の形態7による半導体記憶装置の製造方法を示す断面図である。

【図23】 この発明の実施の形態7による半導体記憶装置の製造方法を示す断面図である。

【図24】 この発明の実施の形態7による半導体記憶装置の製造方法を示す断面図である。

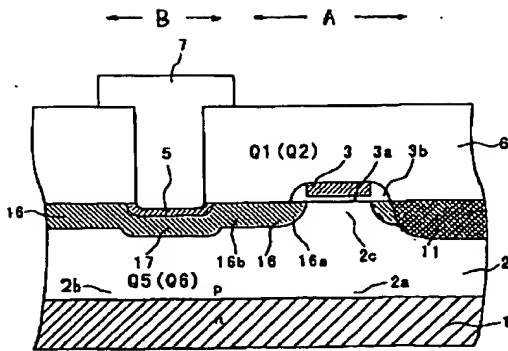
【図25】 従来のSRAMメモリセルの等価回路図である。

【図26】 この発明を適用するSRAMメモリセルの等価回路図である。

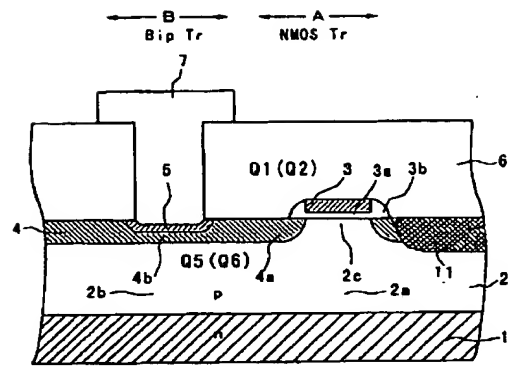
【符号の説明】

1 n型半導体基板（シリコン基板）、2 p型半導体領域（ウェル領域）、2a ウェル、2b コレクタ領域、2c チャネル領域、3 ゲート、3a ゲート酸化膜、4 n型半導体領域、4a ドレイン領域（又はソース領域）、4b ベース領域、5 エミッタ、6 層間絶縁膜、7 エミッタ引出し電極、11 n+ソース領域（又はドレイン領域）、16 n型半導体領域、16a ドレイン領域（又はソース領域）、16b リンクベース領域、17 真性ベース領域。

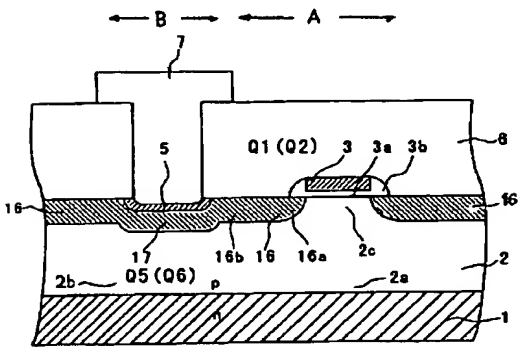
【図1】



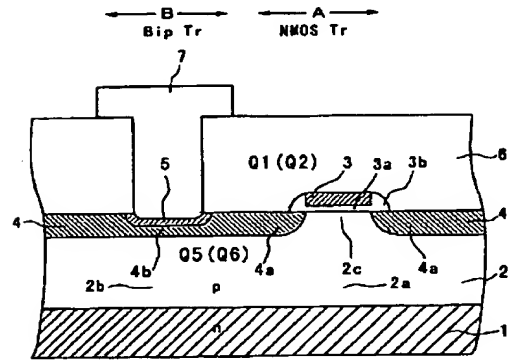
【図2】



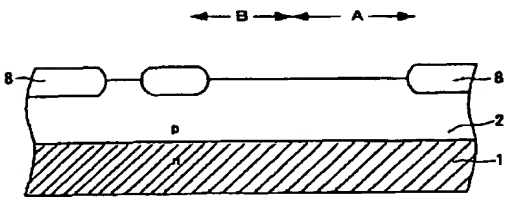
【図3】



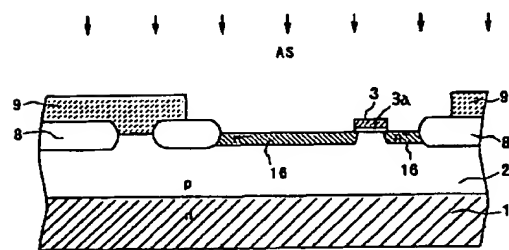
【図4】



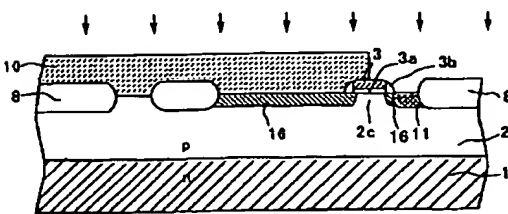
【図5】



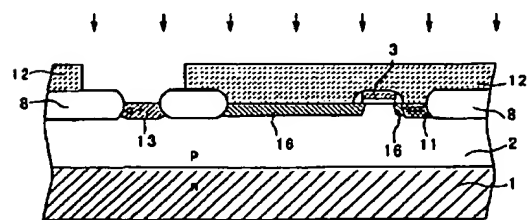
【図6】



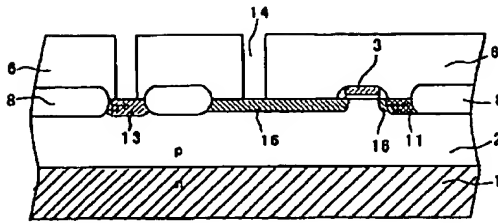
【図7】



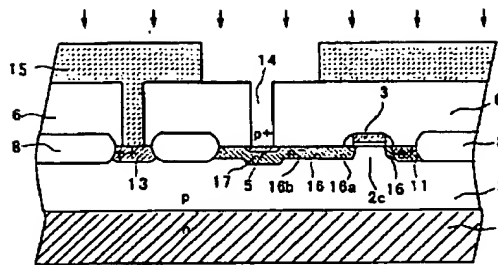
【図8】



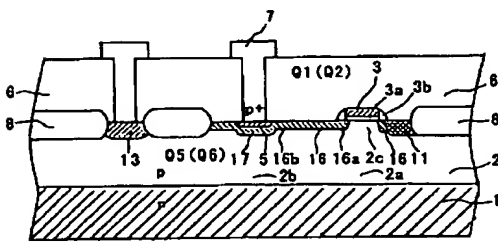
【図9】



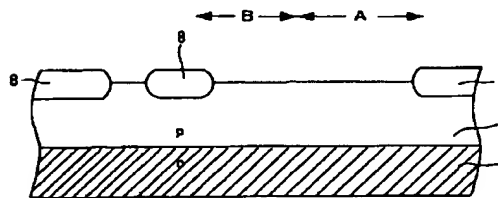
【図10】



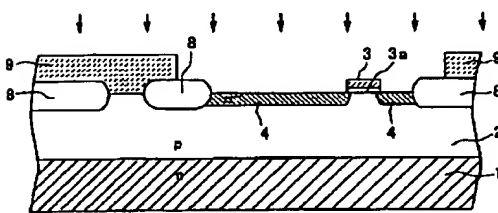
【図11】



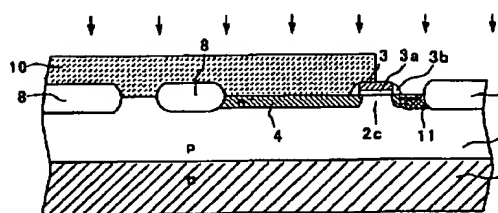
【図12】



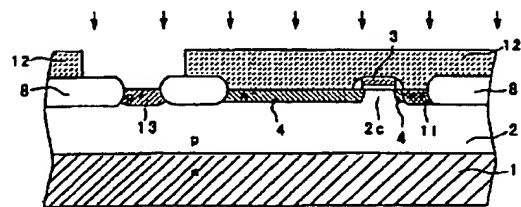
【図13】



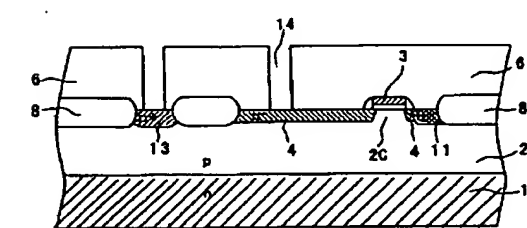
【図14】



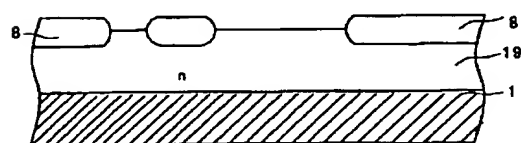
【図15】



【図16】



【図19】



【図26】

